

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-069663

(43)Date of publication of application : 11.03.1994

(51)Int.Cl.

H05K 3/46
H01G 4/12

(21)Application number : 04-241231

(71)Applicant : SONY CORP

(22)Date of filing : 18.08.1992

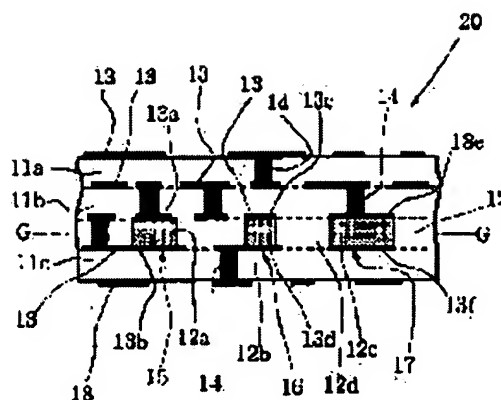
(72)Inventor : IIDA MASAYOSHI

(54) MULTILAYERED SUBSTRATE INCORPORATING CAPACITOR

(57)Abstract:

PURPOSE: To provide a multilayered substrate incorporating capacitors in which the incorporated capacitors are closely arranged so that they cannot interfere with each other.

CONSTITUTION: The title multilayered substrate 20 is composed of a plurality of insulator layers 11a, 11b, and 11c and at least one capacitor constituting layer 12 and electrode sections 13 are formed in accordance with a conductive pattern between and on the upper and lower surfaces of each layer. In the multilayered substrate 20, the layer 12 is constituted of dielectric layers 12a, 12b, and 12c only in the areas between each capacitor electrode section and, in the other areas, the layer 12 is constituted of insulator layers 12d.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(citation F-2)

Japanese Patent Laid-Open Publication No. H6-69,663

Publication Date: March 11, 1994

Application No. H4-241,231 filed August 18, 1992

Inventor: Masayoshi IIDA

Applicant: Sony K.K.

Title of the invention: Multi-layer Substrate with Built-in Capacitor

(Claim 1)

A multi-layer substrate with a built-in capacitor, wherein the substrate (20) comprises a plurality of insulation layers (11a, 11b, 11c) and at least one capacitor forming layer (12), said layers are disposed on top of each other and electrode portions (13) are provided by conductive patterns between the layers and on the upper and lower surfaces of the substrate, characterized in that said capacitor forming layer is formed of a dielectric layer (12a, 12b, 12c) only in regions between at least one opposing pair of capacitor electrodes (13a-13b, 13c-13d, 13e-13f) and that the other regions are formed of an insulation layer (12d).

(Abridgment of the description)

The claimed invention relates to a multi-layer substrate with a built-in capacitor. As shown in the drawings, the substrate 20 comprises a plurality of insulation layers 11a, 11b, 11c disposed on top of each other and a capacitor forming layer 12 disposed between the layers 11b and 11c. A patterned electrode 13 is disposed between the layers, as well as on the upper and lower surfaces of the substrate, and portions of the electrodes 13 are connected together through vias 14. The capacitor forming layer 12 is formed of a dielectric material at regions between paired electrode portions 13a-13b, 13c-13d, 13e-13f to form separate capacitors 15, 16 and 17. The other regions of the layer 12 are formed of an insulation material 12d for electrically separating the capacitors.

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-69663

(43)公開日 平成6年(1994)3月11日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 5 K 3/46		Q 6921-4E		
H 0 1 C 4/12	4 1 8			

審査請求 未請求 請求項の数4(全 5 頁)

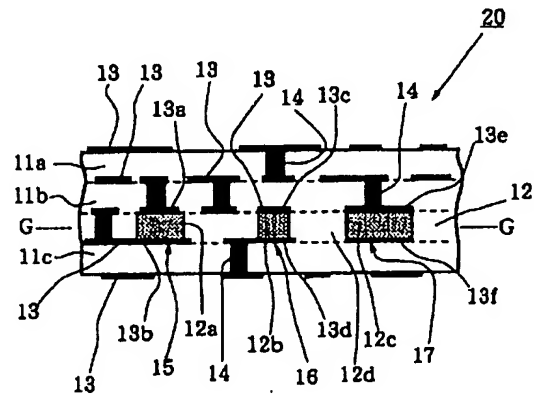
(21)出願番号	特願平4-241231	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川8丁目7番35号
(22)出願日	平成4年(1992)8月18日	(72)発明者	飯田 眞義 東京都品川区北品川8丁目7番35号 ソニー株式会社内
		(74)代理人	弁理士 岡▲崎▼ 信太郎 (外1名)

(54)【発明の名称】 コンデンサ内蔵多層基板

(57)【要約】

【目的】 本発明は、内蔵コンデンサが、互いに干渉するようなことなく、互いに接近して配設され得るようにした、コンデンサ内蔵多層基板を提供する。

【構成】 複数の絶縁体層11a, 11b, 11c及び少なくとも一つのコンデンサ構成層12とから成り、各層の間及び上面及び下面に導電パターンによる電極部13が備えられている、コンデンサ内蔵多層基板において、このコンデンサ構成層が、互いに対向するコンデンサ電極部の間の領域のみ、誘電体層12a, 12b, 12cにより形成されていて、他の領域が、絶縁体層12dにより形成されるように、コンデンサ内蔵多層基板20を構成する。



【特許請求の範囲】

【請求項1】 互いに積層された複数の絶縁体層及び少なくとも一つのコンデンサ構成層とから成り、各層の間及び上面及び下面に導電パターンによる電極部が備えられている、コンデンサ内蔵多層基板において、このコンデンサ構成層が、少なくとも一つの互いに対向するコンデンサ電極部の間の領域のみ、誘電体層により形成されていて、他の領域が、絶縁体層により形成されていることを特徴とする、コンデンサ内蔵多層基板。

【請求項2】 前記各誘電体層が、互いに、絶縁層を介して、絶縁されていることを特徴とする、請求項1に記載のコンデンサ内蔵多層基板。

【請求項3】 前記誘電体層が、上面または下面に電極を付した小片ブロックから構成されていることを特徴とする、請求項1または2のいずれかに記載のコンデンサ内蔵多層基板。

【請求項4】 前記コンデンサ構成層が、小片ブロック状の誘電体層を、絶縁体層中に埋め込むことにより、構成されていることを特徴とする、請求項1または2のいずれかに記載のコンデンサ内蔵多層基板。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えば、多層セラミック基板中に、コンデンサを内蔵させた、所謂コンデンサ内蔵多層基板に関するものである。

【0002】

【従来の技術】 従来、このようなコンデンサ内蔵多層基板は、例えば図4に示すように構成されている。図4において、コンデンサ内蔵多層基板1は、複数の絶縁体層2a、2b及び2cの間に、全面に亘って誘電体層3を挟み込むことにより、構成されている。

【0003】 このコンデンサ内蔵多層基板1の上面及び下面と、各絶縁体層2a、2b及び2cと誘電体層3の間には、それぞれ所定の導電パターン等による電極部4が形成されている。尚、図4(B)は図4(A)のコンデンサ部を拡大して示す図である。

【0004】 このように構成されたコンデンサ内蔵多層基板1によれば、各電極部4は、それぞれ所定の回路を構成していると共に、各絶縁体層2a、2b及び2cと誘電体層3を上下に貫通するビアホール5を介して、互いに接続されている。これにより、基板1の全体が協働して、回路を構成するようになっている。

【0005】 ここで、この誘電体層3を介して互いに対向するように、この誘電体層3の上面及び下面に接して配設された電極は、その間に誘電体層3が存在することから、それぞれコンデンサを構成するようになっている。

【0006】 図5は、従来のコンデンサ内蔵多層基板の他の例を示しており、この場合、コンデンサ内蔵多層基板10は、複数の絶縁体層2a、2b及び2cの間に、

印刷法によって所定位置の誘電体層3を設けることにより、構成されている。

【0007】

【発明が解決しようとする課題】 しかしながら、このように構成されたコンデンサ内蔵多層基板1、10においては、以下のような問題がある。

【0008】 図4に示すコンデンサ内蔵多層基板1においては、図4(B)に示すように、コンデンサ6は、互いに対向する電極4a、4bにより構成されており、また他のコンデンサ7は、互いに対向する電極4c、4dにより構成されている。ところで、このコンデンサ6、7を構成する誘電体層3は、全面に亘って一体に配設されていることから、各電極4aと4c、4bと4dを互いに接近させて配設すると、図4(B)にて点線で示すように、互いに干渉することにより、クロストークが生ずる等の電気的特性の劣化が生じてしまうことになる。このため、各電極4aと4c、4bと4dを互いに離して配設すると、基板の高密度化や小型化が困難になってしまう。

【0009】 また、絶縁体層2a、2b、2cの間に、誘電体層3が全面に亘って配設されているので、異種材料間の熱膨張率や焼成収縮率等を十分に考慮する必要がある。さらには、この絶縁体層と誘電体層との密着性等の信頼性も低下してしまうことになる。

【0010】 次に、図5に示すコンデンサ内蔵多層基板10の場合には、誘電体層3の印刷コストが比較的高くなってしまふ。また、基板10の表面における平面性を保持することが困難であるという問題があった。

【0011】 本発明は、以上の点に鑑み、内蔵コンデンサが、互いに干渉するようなことなく、互いに接近して配設され得るようにした、コンデンサ内蔵多層基板を提供することを目的としている。

【0012】

【課題を解決するための手段】 上記目的は、本発明によれば、互いに積層された複数の絶縁体層及び少なくとも一つのコンデンサ構成層とから成り、各層の間及び上面及び下面に導電パターンによる電極部が備えられている、コンデンサ内蔵多層基板において、このコンデンサ構成層が、少なくとも一つの互いに対向するコンデンサ電極部の間の領域のみ、誘電体層により形成されていて、他の領域が、絶縁体層により形成されており、上記各誘電体層が、互いに絶縁層を介して絶縁されているコンデンサ内蔵多層基板により、達成される。

【0013】 本発明によるコンデンサ内蔵多層基板は、好ましくは、上記誘電体層が、上面または下面に電極を付した小片ブロックから構成されている。

【0014】 さらに、本発明によるコンデンサ内蔵多層基板は、好ましくは、上記コンデンサ構成層が、小片ブロック状の誘電体層を、絶縁体層中に埋め込むことにより、構成されている。

【0015】

【作用】上記構成によれば、コンデンサ構成層における各内蔵コンデンサを構成する誘電体層が、このコンデンサ構成層の絶縁体層により包囲されている。従って、一つの内蔵コンデンサは、他の内蔵コンデンサとの間で、互いに干渉するようなことはなく、クロストークが生ずる等の電気的特性の劣化が生ずることはない。また、コンデンサ構成層は、誘電体層の領域を除いて、他の領域は、すべて絶縁体層から形成されている。従って、その上方または下方の絶縁体層との間に、熱膨張率や、焼成収縮率等の差がほとんどないので、これらを考慮する必要はない。さらに、このコンデンサ構成層と絶縁体層との密着性は、良好である。

【0016】また、上記誘電体層が、上面または下面に電極を付した小片ブロックから構成されており、この小片ブロック状の誘電体層を、絶縁体層中に埋め込むことにより、コンデンサ構成層が形成される場合には、このコンデンサ構成層が、比較的簡単な工程により、容易に構成され得ることになり、従って、低コストで製造され得ることになる。

【0017】

【実施例】以下、この発明の好適な実施例を図1乃至図3を参照しながら、詳細に説明する。尚、以下に述べる実施例は、本発明の好適な具体例であるから、技術的に好ましい種々の限定が付されているが、本発明の範囲は、以下の説明において特に本発明を限定する旨の記載がない限り、これらの態様に限られるものではない。

【0018】図1は、本発明によるコンデンサ内蔵多層基板の第一の実施例を示している。図1において、コンデンサ内蔵多層基板20は、互いに積層された、複数の絶縁体層11a、11b及び11cと、これらの間に挟み込まれた、一つのコンデンサ構成層12とから構成されている。ここで、このコンデンサ内蔵多層基板20の上面及び下面と、各絶縁体層11a、11b及び11cとコンデンサ構成層12の間には、それぞれ所定の導電パターン等による電極部13が形成されている。さらに、各電極部13の一部は、各絶縁体層11a、11b及び11cと誘電体層12を上下に貫通するビアホール14を介して、互いに接続されている。これにより、基板全体が協働して、回路を構成するようになっている。

【0019】以上の構成は、図4に示した従来のコンデンサ内蔵多層基板1と同様の構成であるが、本実施例によるコンデンサ内蔵多層基板20においては、上記コンデンサ構成層12は、各コンデンサ15、16、17を構成すべき電極部13a、13bと、13c、13dと、13e、13fとの間の領域のみが、誘電体層12a、12b、12cにより形成されており、他の領域は、絶縁体層12dにより形成されている。

【0020】本実施例によるコンデンサ内蔵多層基板20は、以上のように構成されており、各コンデンサ1

5、16、17は、互いに絶縁体層12dによって電気的に絶縁されることになる。従って、各コンデンサ15、16、17の相互間で、干渉が生ずるようなことはないで、クロストーク等の電気的特性が向上され得ることになる。また、各コンデンサ15、16、17は、互いに接近して配設され得ることになり、基板全体の小型化、高密度化が可能となる。

【0021】さらに、コンデンサ構成層12は、コンデンサ15、16、17の領域のみが、誘電体層12a、12b、12cにより形成され、他の領域は、絶縁体層12dにより形成されている。従って、絶縁体層12d内にて、部分的に誘電体層12a、12b、12cが点在することになる。これにより、このコンデンサ構成層12とその上方または下方の絶縁体層11b、11cとの間に、熱膨張率や、焼成収縮率等の差がほとんどないので、これらを考慮する必要はない。さらに、このコンデンサ構成層と絶縁体層との密着性は、良好であるので、材料的な信頼性が向上され得ることになる。

【0022】さらに、コンデンサ15、16、17を構成する誘電体層12a、12b、12cは、同じ厚さの絶縁体層12dにより包囲されることにより、コンデンサ構成層12の全体が、均一の厚さに形成されている。従って、基板20の全体の平面性が、十分に維持され得ることになる。

【0023】図3は、本実施例によるコンデンサ内蔵多層基板の製造工程を示している。図3(A)において、絶縁体層として、例えばガラスセラミック等から成る4枚のグリーンシート21、22、23、24と、誘電体層として、例えば鉛系の高誘電率シート25を用意する。ここで、先づ図3(B)に示すように、各グリーンシート21乃至24に対して、ビアホール14のパンチを行なう。同時に、コンデンサ構成層となるべきグリーンシート23に対しては、誘電体用挿入孔23aのパンチを行なう。

【0024】続いて、各ビアホール14を導電材料により充填する。その後、各グリーンシート21乃至24の上面に、そして最下層となるグリーンシート24については下面にも、電極部13を印刷して、乾燥させる。また、高誘電率シート25に対して、上面に電極部13を印刷して、乾燥させる。

【0025】ここで、図3(C)に示すように、グリーンシート24の上に、グリーンシート23を載置し、重ね合わせる。また、高誘電率シート25を、パンチングにより、上記グリーンシート23の誘電体用挿入孔23aに対応した形状の小片ブロックに分離する。

【0026】その後、図3(D)に示すように、この高誘電率シート25の小片ブロックを、グリーンシート24上に載置されたグリーンシート23の誘電体用挿入孔23a内に、挿入する。続いて、図3(E)に示すように、グリーンシート23の上に、グリーンシート22及

5

びグリーンシート21を順次に載置する。最後に、上方から加圧しながら、焼成することにより、図3(F)に示すように、コンデンサ内蔵多層基板20が完成することになる。

【0027】

【発明の効果】以上述べたように、本発明によれば、各内蔵コンデンサの相互間で、干渉が生ずるようなことはなく、クロストーク等の電気的特性が向上され得ることになる。従って、各内蔵コンデンサは、互いに接近して配設され得ることになり、基板全体の小型化、高密度化が可能となる。

【図面の簡単な説明】

【図1】本発明によるコンデンサ内蔵多層基板の一実施例を示す概略断面図である。

【図2】図1のコンデンサ内蔵多層基板の誘電体層でG-G線に沿って切断した斜視図である。

【図3】図1のコンデンサ内蔵多層基板の製造工程を順次に示す工程図である。

【図4】従来のコンデンサ内蔵多層基板の一例の構成を示す(A)概略断面図及び(B)コンデンサの付近の拡大断面図である。

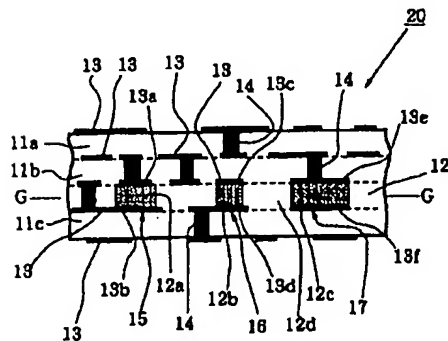
大断面図である。

【図5】従来のコンデンサ内蔵多層基板の他の例の構成を示す概略断面図である。

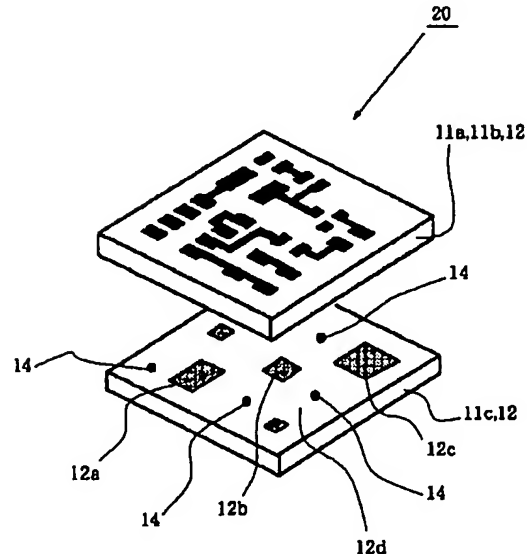
【符号の説明】

20	コンデンサ内蔵多層基板
11a	絶縁体層
11b	絶縁体層
11c	絶縁体層
12	コンデンサ構成層
12a	誘電体層
12b	誘電体層
12c	誘電体層
12d	絶縁体層
13	電極部
14	ビアホール
21	グリーンシート
22	グリーンシート
23	グリーンシート
24	グリーンシート
25	高誘電率シート

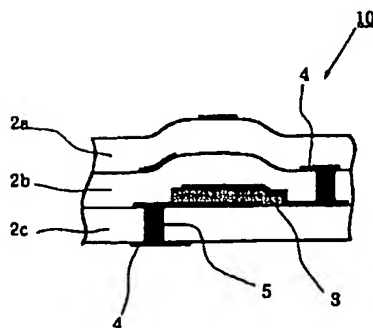
【図1】



【図2】



【図5】



【图 4】

